



JP2001091590

Biblio

Page 1

Drawing

**SEMICONDUCTOR INTEGRATED CIRCUIT**

Patent Number: JP2001091590
Publication date: 2001-04-06
Inventor(s): NAKAYAMA MICHIAKI; SAKAKIBARA HIDEKI; KURITA KOZABURO
Applicant(s): HITACHI LTD
Requested Patent: ☒ JP2001091590
Application Number: JP19990266767 19990921
Priority Number(s):
IPC Classification: G01R31/28; G06F11/22
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a technology for detecting the incorrect delay of a logic block without causing a significant increase of product cost.
SOLUTION: A self diagnostic circuit comprises a first circuit 601 generating a clock signal for performing scanning operation through a scan path at a rate lower than the actual working rate of a diagnostic block, and a second circuit 602 generating a clock signal for performing supply of pseudo-random numbers to a logic block and collection of output signals therefrom at a rate substantially equal to the actual working rate of the logic block. Consequently, the incorrect delay of the logic block can be detected without reducing the line resistance by enlarging the line width or providing an amplifier in the scan path.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-91590

(P2001-91590A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.⁷

識別記号

F I

ターミナル(参考)

G 0 1 R 31/28

G 0 6 F 11/22

3 6 0 P 2 G 0 3 2

G 0 6 F 11/22

3 6 0

G 0 1 R 31/28

G 5 B 0 4 8

審査請求 未請求 請求項の数4 O L (全 14 頁)

(21)出願番号

特願平11-266767

(22)出願日

平成11年9月21日(1999.9.21)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 中山 道明

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 榎原 秀樹

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100089071

弁理士 玉村 静世

最終頁に続く

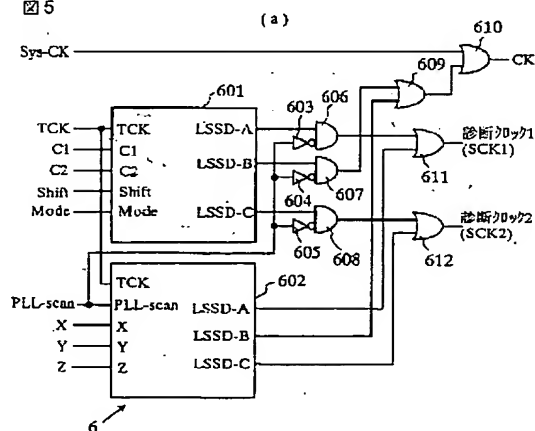
(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 製品のコストの大幅な上昇を伴わずに論理ブロックのディレイ不良の検出を行うための技術を提供することにある。

【解決手段】 スキャンパスを介して行われるスキャン動作を、診断ブロックの実使用速度よりも遅い速度で行うためのクロック信号を生成する第1生成回路(601)と、論理ブロックへの擬似乱数の供給及び論理ブロックからの出力信号の収集を上記論理ブロックの実使用速度にほぼ等しい速度で行うためのクロック信号を生成する第2生成回路(602)とを含んで自己診断回路を構成することで、スキャンパスでの信号遅延を抑えるために、信号配線幅を広くして配線抵抗の低減を図ったり、スキャンパスの経路中にアンプを設けることなく、論理ブロックのディレイ不良の検出が可能とされる。

図5



	通常	スキャン			クロックアドバンス		
		TCK 7/7	C1/C2 7/7	PLL 7/7	TCK 7/7	C1/C2 7/7	PLL 7/7
Sys-CK	0	0	0	0	0	0	0
TCK	0	0	0	0	0	0	0
C1	0	0	0	0	0	0	0
C2	0	0	0	0	0	0	0
Mode	0	1	1	1	1	1	1
Shift	don't care	1	1	don't care	0	0	don't care
PLL-scan	0	0	0	1	0	0	1
CK	Sys-CK	TCK	C1	TCK	TCK	C1	PLL出力
SCK1	0	TCK	C2	TCK	0	0	0
SCK2	0	1	1	1	/TCK	/C2	PLL出力

【特許請求の範囲】

【請求項 1】 信号をスキャン可能に設計された複数のフリップフロップと、それらを結合させるスキャンパスと、論理ブロックの自己診断のための擬似乱数を発生させるための擬似乱数発生回路とを有し、上記スキャンパスを介して伝達された擬似乱数が上記論理ブロックに与えられた場合の当該論理ブロックからの出力信号を、上記スキャンパスを介して得ることで上記論理回路の診断を可能とする半導体集積回路であって、上記自己診断回路は、

上記スキャンパスを介して行われるスキャン動作を、上記論理ブロックの実使用速度よりも遅い速度で行うためのクロック信号を生成する第 1 生成回路と、

上記論理ブロックへの擬似乱数の供給及び上記論理ブロックからの出力信号の収集を上記論理ブロックの実使用速度にほぼ等しい速度で行うためのクロック信号を生成する第 2 生成回路とを含んで成ることを特徴する半導体集積回路。

【請求項 2】 上記第 2 生成回路は、入力されたクロック信号を逡倍するためのフェーズ・ロックド・ループを含んで成る請求項 1 記載の半導体集積回路。

【請求項 3】 上記第 1 生成回路は、半導体集積回路の内部で生成されるテストクロック信号のエッジ検出を行うためのエッジ検出回路と、上記エッジ検出回路の出力信号と半導体集積回路の外部から与えられた外部クロック信号との論理和を得るための論理和ゲートとを含み、上記論理和ゲートの出力信号に基づいて上記第 1 生成回路における診断クロック信号が生成される請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】 上記フリップフロップは、フリップフロップ本来の機能論理と、上記フリップフロップの前段に配置される論理ブロックの特性に呼応して上記フリップフロップ本来の機能論理へのデータ入力を制限するためのゲート論理とを含んで成る請求項 1 乃至 3 の何れか 1 項記載の半導体集積回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路、さらにはそれにおける自己診断技術に関する。

【0002】

【従来の技術】 半導体集積回路の内部論理ブロックの動作を自己診断するための回路として、ビルトイン・スキャン・テスト (BIST) 回路が知られている。この BIST 回路は、スキャン設計されたフリップフロップ群、それらを接続するスキャンパス、擬似乱数を発生させるための擬似乱数発生器、及び収集されたスキャンデータを圧縮するためのデータ圧縮器を含んで成る。擬似乱数発生器により発生された擬似乱数を、スキャンパスを通じてフリップフロップに入力 (スキャンイン) し、1 クロックパルスを入力 (クロックアドバンス; 通常ク

ロック 1 パルスでフリップフロップよりデータを出力し、診断クロック 2 で次段フリップフロップにデータを取り込む) 後、スキャンパスを通じてフリップフロップのデータをデータ圧縮器で圧縮する (スキャンアウト)。この処理を繰り返す、予め算出された良品 LSI での圧縮データパターンと比較することにより LSI の良否判定を行う。そのような BIST によれば、外部のテストに頼らずに LSI テストが可能となるため、テストコストの軽減を図ることができる。

【0003】 尚、BIST 回路について記載された文献の例としては、1991 年に、Academic Press 社から発行された「Digital Circuit Testing (第 146~168 頁)」がある。

【0004】

【発明が解決しようとする課題】 上記した BIST を論理ブロックの実際の動作周波数で行うことができれば、ディレイ不良の検出を BIST で発見することができるから都合が良い。

【0005】 しかしながら、一般にスキャンパスは LSI 診断にのみ使用される回路であり、製品の性能には影響しない。従って、スキャンパスまでを実動作周波数で動作可能な設計を行うことは、スキャンパスでの信号遅延を抑えるために、信号配線幅を広くして配線抵抗の低減を図ったり、スキャンパスの経路中にアンプを設ける必要があり、そうすると、配線幅の増大、配線本数の増加、トランジスタ数の増加、ひいてはチップサイズの増加を招くことで、製品のコスト上昇を余儀なくされるのが、本発明者によって見いだされた。

【0006】 本発明の目的は、製品のコストの大幅な上昇を伴わずに論理ブロックのディレイ不良の検出を行うための技術を提供することにある。

【0007】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】 すなわち、信号をスキャン可能に設計された複数のフリップフロップと、それらを結合させるスキャンパスと、論理ブロックの自己診断のための擬似乱数を発生させるための擬似乱数発生回路とを有して半導体集積回路が構成されるとき、上記スキャンパスを介して行われるスキャン動作を、上記診断ブロックの実使用速度よりも遅い速度で行うためのクロック信号を生成する第 1 生成回路と、上記論理ブロックへの擬似乱数の供給及び上記論理ブロックからの出力信号の収集を上記論理ブロックの実使用速度にほぼ等しい速度で行うためのクロック信号を生成する第 2 生成回路とを含んで上記自己診断回路を構成する。

【0010】上記した手段によれば、第1生成回路は、上記スキャンパスを介して行われるスキャン動作を、上記診断ブロックの実使用速度よりも遅い速度で行うためのクロック信号を生成する。このことが、スキャンパスまでを実動作周波数で動作可能な設計を行う場合のように、スキャンパスでの信号遅延を抑えるために、信号配線幅を広くして配線抵抗の低減を図ったり、スキャンパスの経路中にアンプを設けるのを不要とする。また、上記第2生成回路は、上記論理ブロックへの擬似乱数の供給及び上記論理ブロックからの出力信号の収集を上記論理ブロックの実使用速度にほぼ等しい速度で行うためのクロック信号を生成する。このことが、上記論理ブロックのディレイ不良の検出を可能とする。

【0011】このとき、上記第2生成回路は、入力されたクロック信号を逡倍するためのフェーズ・ロックド・ループを含んで構成することができる。

【0012】また、スキャンパスを介して行われるスキャン動作を半導体集積回路の外部から制御可能とするには、半導体集積回路の内部で生成されるテストクロック信号のエッジ検出を行うためのエッジ検出回路と、このエッジ検出回路の出力信号と半導体集積回路の外部から与えられた外部クロック信号との論理和を得るための論理和ゲートとを含んで第1生成回路を構成し、上記論理和ゲートの出力信号に基づいて第1生成回路における診断クロック信号を生成するようにすれば良い。

【0013】さらに、上記フリップフロップは、フリップフロップ本来の機能論理と、上記フリップフロップの前段に配置される論理ブロックの特性に呼応して上記フリップフロップ本来の機能論理へのデータ入力を制限するためのゲート論理とを含んで構成することができる。

【0014】

【発明の実施の形態】図15には、本発明にかかる半導体集積回路の一例である論理LSIが示される。

【0015】図15に示される論理LSIは、特に制限されないが、ダイナミック・ランダム・アクセス・メモリ(DRAM)を搭載した半導体集積回路であり、入力回路153、アドレス論理ブロック151、入力データ論理ブロック152、メモリマット156、出力データ論理ブロック154、出力回路155、及び自己診断回路157を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0016】メモリマット156は、それぞれ複数のダイナミック型メモリセルがアレイ状に配列されて成る複数のメモリマットが設けられる。入力回路153は、上記メモリマット156への書き込みデータやアドレス信号を取り込むために設けられる。アドレス論理ブロック151は、上記入力回路153を介して取り込まれたアドレス信号をデコードする。入力データ論理ブロック152は、入力回路153を介して取り込まれたデータを

複数のメモリマット156に分配するためのバッファ回路を含む。出力データ論理ブロック154は、メモリマット156から出力されたデータを増幅するためのアンプ回路を含む。出力回路155は、メモリマット156から読み出されたデータを外部出力するための出力バッファを含む。自己診断回路157は、アドレス論理ブロック151や入力データ論理ブロック152の前段に配置されたフリップフロップ群158、アドレス論理ブロック151や入力データ論理ブロック152の後段に配置されたフリップフロップ群159、出力データ論理ブロック154の前段に配置されたフリップフロップ群160、及び出力データ論理ブロック154の後段に配置されたフリップフロップ群161、各部の動作クロッククロック信号を発生させるためのクロック生成回路6、さらには図示されないが、自己診断のための擬似乱数を発生するための擬似乱数発生回路3や、スキャンデータを圧縮するためのデータ圧縮器が設けられている。

【0017】上記アドレス論理ブロック151や上記入力データ論理ブロック152の診断のための擬似乱数はフリップフロップ群158を介して与えられる。そしてそのような擬似乱数が与えられた場合のアドレス論理ブロック151や入力データ論理ブロック152からの出力データがフリップフロップ群159によって保持され、それが図示されないスキャンパスを介して収集される。収集されたデータが期待値と比較されることにより、アドレス論理ブロック151や入力データ論理ブロック152が正常に動作するか否かを判別することができる。同様に出力データ論理ブロック154の診断のための擬似乱数はフリップフロップ群160を介して与えられる。そしてそのような擬似乱数が出力データ論理ブロック154に与えられた場合の出力データ論理ブロック154からの出力データがフリップフロップ群161によって保持され、それが図示されないスキャンパスを介して収集される。収集されたデータが期待値と比較されることにより、出力データ論理ブロック154が正常に動作するか否かを判別することができる。

【0018】図1には、上記自己診断回路157の主要部の構成例が示される。

【0019】図1示されるように、上記自己診断回路157は、試験対象とされる論理ブロック1に対するデータ及びスキャン信号の取り込みを行うフリップフロップFF2-1~FF2-3と、上記論理ブロックに対するデータ及びスキャン信号の出力を行うフリップフロップFF2-4~2-5、フリップフロップFF2-1~2-3に入力される擬似乱数を発生するための擬似乱数発生器3と、外部からのスキャン入力と擬似乱数発生器3からの信号とをセレクトするためのセクタ4、フリップフロップ2-4~2-5からの出力データを圧縮するためのデータ圧縮器5、擬似乱数発生器(PRPG)3、データ圧縮器5に入力されるクロックを生成数する

クロック生成回路6を含んで成る。

【0020】上記論理ブロック1は、特に制限されないが、図15に示される入力データ論理ブロック152とされる。また、図15に示されるフリップフロップ2-1~2-3、及びフリップフロップ2-4、2-5は、図15に示されるフリップフロップ群158の一部、及びフリップフロップ群159の一部とされる。フリップフロップ2-1~2-5は、信号をスキャン可能に設計され、スキャンパスPASSによって結合されている。

【0021】上記の構成において、DRAMを搭載した論理LSI100の通常動作においては、データ入力D1~D3がそれぞれ対応するフリップフロップ2-1~2-3を介して論理ブロック1に入力され、また、それによる論理ブロック1からの出力データは対応するフリップフロップ2-4、2-5を介して後段回路へ出力される。その場合、フリップフロップ2-1~2-5は、クロック生成回路6によって生成される通常クロック信号CKに同期動作される。

【0022】また、自己診断においては、セクタ4を介して擬似乱数発生回路3からの擬似乱数がフリップフロップ2-1~2-3に伝達され、論理ブロック1に供給される。そのとき、論理ブロック1から出力されたデータがフリップフロップ2-4、2-5に保持される。この保持データは、スキャン出力端子SOから出力、又はデータ圧縮器5で圧縮されてから出力される。スキャン出力端子SOから出力されたデータやデータ圧縮器5で圧縮されてから出力されたデータを期待値と比較することにより、論理ブロック1が正常に動作しているか否かを判別することができる。上記自己診断においては、クロック発生回路6から発生された第1診断クロック信号SCK1や、第2診断クロック信号SCK2が使用される。

【0023】図2には上記フリップフロップ2-1~2-5に適用されるフリップフロップの構成例及びその真値表が示される。

【0024】図2(a)に示されるように、このフリップフロップは、ラッチ回路L1とラッチ回路L2とが結合されて成る。Dはデータ、SIはスキャンイン、CKは通常クロック信号、SCK1は第1診断クロック信号、SCK2は第2診断クロック信号、QMは中間ノード信号、Qは出力信号である。

【0025】通常動作においては、第1診断クロック信号SCK1、第2診断クロック信号SCK2が共にローレベルとされる。このとき、通常クロック信号CKがローレベルの場合、中間ノードQMには、データ入力端子Dの論理がそのまま伝達され、出力端子Qには1サイクル前の出力端子Qの論理状態が保持されている。また、通常クロック信号CKがハイレベルの場合には、中間ノードQMは、1サイクル前の論理状態が保持され、出力端子Qには、中間ノードQMの論理がそのまま伝達され

る。

【0026】第2診断クロック信号SCK2の論理がハイレベルの場合は診断モードとされる。その場合において、通常クロック信号CKがローレベル、第1診断クロック信号SCK1がローレベルのとき、中間ノードQMは1サイクル前の論理状態が保持され、通常クロック信号CKがローレベル、第1診断クロック信号SCK1がハイレベルの場合には、中間ノードQMはスキャンイン端子SIの論理がそのまま伝達され、出力端子Qは、1サイクル前の出力論理状態が保持されている。通常クロック信号CKがハイレベル、第1診断クロック信号SCK1がローレベルのとき、中間ノードQMには1サイクル前の論理状態が保持され、出力端子Qは中間ノードQMの論理状態がそのまま伝達される。

【0027】尚、第1診断クロック信号SCK1がハイレベル、第2スキャンクロック端子SCK2がローレベルの組み合わせや、通常クロック信号CK、第1診断クロック信号SCK1、及び第2診断クロック信号SCK2が共にハイレベルの組み合わせは禁止される。

【0028】図3には自己診断回路157の動作タイミングが示される。

【0029】図3に示されるように、スキャンインサイクル、アドバンス、スキャンアウトサイクルが繰り返される。ここで、スキャンインサイクル、スキャンアウトサイクルは、論理ブロックの動作よりも遅い速度で実行される。

【0030】また、アドバンスでは、論理ブロックのレイ不良等の検出を可能とするため、実使用速度にほぼ等しい速度で実行される。そのための詳細な制御については後に詳述する。

【0031】第1生成回路601によりテストクロック信号TCKの立ち上がり、立ち下がりエッジから各々通常クロックCK及び第1診断クロック信号SCK1が生成され、スキャンイン、スキャンアウト用のスキャンクロック信号としてフリップフロップに入力される。同様に、テストクロック信号TCKの立ち上がり立ち下がりエッジから各々生成された通常クロック信号CK及び第2診断クロック信号SCK2がクロックアドバンス用の信号としてフリップフロップに入力される。

【0032】図4には通常動作におけるクロック信号の動作波形が示される。

【0033】図4に示されるように、通常動作においては、第1診断クロック信号SCK1及び第2診断クロック信号SCK2が共にローレベルに固定され、通常クロック信号CKがフリップフロップに入力される。

【0034】図5(a)には上記クロック生成回路6の構成例が示される。

【0035】図5に示されるように、上記クロック生成回路6は、入力されたクロック信号を逡倍するためのPLL(フェーズ・ロックド・ループ)を内蔵しない第1

生成回路601と、上記PLLを内蔵する第2生成回路602、及び論理ゲート603～612とが結合されて成る。

【0036】上記第1生成回路601には、DRAMを搭載した論理LSI100内で発生されたテストクロック信号TCK、DRAMを搭載した論理LSI100の外部から取り込まれた外部クロック信号C1、C2、及び制御信号としてのシフト信号shift、モード信号Modeが入力される。そのようなクロック信号又は制御信号に基づいてクロック信号LSSD-A、LSSD-B、LSSD-Cが生成される。このクロック信号LSSD-A、LSSD-B、LSSD-Cは、それぞれ後段のアンドゲート606、607、608へ入力される。第1生成回路601からのクロック信号LSSD-Aは、後段のアンドゲート606及びオアゲート611を介することにより第1診断クロック信号SCK1として後段回路に出力される。第1生成回路601からのクロック信号LSSD-Bは後段のアンドゲート607、オアゲート609、610を介することにより通常クロック信号CKとして後段回路に出力される。第1生成回路601からのクロック信号LSSD-Cは、後段のアンドゲート608、及びオアゲート612を介することにより第2診断クロック信号SCK2として後段回路に出力される。

【0037】第2生成回路602は、テストクロック信号TCK、PLLスキャン信号PLL-scan、パラメータX、Y、Zが入力され、それに基づいて、クロック信号LSSD-A、LSSD-B、LSSD-Cが生成される。第2生成回路602からのクロック信号LSSD-Aは、オアゲート611を介することにより第1診断クロック信号SCK1として後段回路に出力される。第2生成回路602からのクロック信号LSSD-Bは、オアゲート609、610を介することにより通常クロック信号CKとして後段回路に出力される。第2生成回路602からのクロック信号LSSD-Cは、オアゲート612を介することにより第2診断クロック信号SCK2として後段回路に出力される。

【0038】図5(b)には上記クロック生成回路6の全体的な動作状態が示される。

【0039】クロック生成回路6の動作モードには、通常動作モード、スキャン動作モード、及びクロックアドバンスモードとがある。上記スキャンモード及びクロックアドバンスモードには、それぞれTCKシフトモード、C1/C2シフトモード、PLLシフトモードがある。各モードにおいて、システムクロック信号Sys-CK、クロック信号TCK、外部クロック信号C1、C2、モード信号Mode、シフト信号Shift、PLLスキャン信号PLL-scan、通常クロック信号CK、第1診断クロック信号SCK1、第2診断クロック信号SCK2の論理状態は、図5(b)に示される通り

である。尚、「don't care」は論理不定を意味する。

【0040】上記の構成において、PLLスキャン信号PLL-scanがローレベルにネゲートされた期間においては、インバータ603～605の出力論理がハイレベルとなり、後段のアンドゲート606～608が活性化されることから第1生成回路601から出力されたクロック信号LSSD-A、LSSD-B、LSSD-Cが選択される。この場合、第1生成回路601からのクロック信号LSSD-Aが第1診断クロック信号SCK1として後段回路に出力され、第1生成回路601からのクロック信号LSSD-Bが通常クロック信号CKとして後段回路に出力され、第1生成回路601からのクロック信号LSSD-Cが第2診断クロック信号SCK2として後段回路に出力される。このクロック信号は、スキャンパスPASSを介して行われるスキャン動作を、上記論理ブロックの実使用速度よりも遅い速度で行うための信号として使用される。このとき、第2生成回路602においては、クロック信号LSSD-A、LSSD-B、LSSD-Cが生成されない。

【0041】それに対して、PLLスキャン信号PLL-scanがハイレベルにアサートされた期間においては、第2生成回路602によってクロック信号LSSD-A、LSSD-B、LSSD-Cが生成され、それが後段回路に伝達される。このクロック信号は、クロックアドバンス用とされ、論理ブロック1を、当該論理ブロック1への擬似乱数の供給及び論理ブロック1からの出力信号の収集を、当該論理ブロック1の実使用速度にほぼ等しい速度で行うための信号として使用される。

【0042】尚、PLLスキャン信号PLL-scanがハイレベルにアサートされた期間においては、インバータ603～605の出力論理がローレベルとされることにより、アンドゲート606～608が非活性状態とされることで、第1生成回路601からのクロック信号LSSD-A、LSSD-B、LSSD-Cは、後段回路に伝達されない。

【0043】図6(a)には上記第1生成回路601の構成例が示される。

【0044】テストクロック信号TCKのエッジ検出を行うためのエッジ検出回路61が設けられる。テストクロック信号TCKの立ち上がりエッジに同期してクロック信号CK1が生成され、テストクロック信号TCKの立ち下がりエッジに同期してクロック信号CK2が生成される。クロック信号CK1はオアゲート62を介することによりクロック信号LSSD-Bとして出力される。クロック信号CK2は、オアゲート63及びアンドゲート65を介することによりクロック信号LSSD-Aとして出力される。また、上記オアゲート63の出力信号は後段のインバータ64で反転された後にオアゲート66及びアンドゲート67を介することによりクロッ

ク信号LSSD-Cとして出力される。

【0045】図6(b)には図6(a)に示される第1生成回路601の動作状態が示される。

【0046】通常動作モードにおいては、テストクロック信号TCK、外部クロック信号C1、C2がローレベル(論理値“0”)であり、モード信号Modeがローレベルとされる(イ)。この場合、システムクロック信号Sys-CKが通常クロック信号として後段回路に伝達される。尚、このとき、シフト信号shiftは論理不定とされる。

【0047】TCKシフトモードにおいては、システムクロック信号Sys-CK、外部クロック信号C1、C2がローレベルで、モード信号Mode及びシフト信号Shiftがハイレベル(論理値“1”)とされる

(ロ)。この場合、テストクロック信号TCKに基づいてエッジ検出回路61からのクロック信号CK1、CK2が出力されることにより、通常クロック信号CKはテストクロック信号TCKの立ち上がりエッジに同期して形成され、クロック信号LSSD-Aはテストクロック信号TCKの立ち下がりエッジに同期して形成される。尚、モード信号Mode及びシフト信号Shiftがハイレベルのため、クロック信号LSSD-Cはハイレベルに固定される。

【0048】TCKクロックアドバンスモードにおいては、システムクロック信号Sys-CK、外部クロック信号C1、C2がローレベルとされ、モード信号Mode及びシフト信号shiftがハイレベルとされる

(ハ)。この場合、テストクロック信号TCKに基づいてエッジ検出回路61からのクロック信号CK1、CK2が出力されることにより、通常クロック信号CKはテストクロック信号TCKの立ち上がりエッジに同期して形成され、クロック信号LSSD-Cは、クロック信号CK2がインバータで反転されたものとされる。

【0049】C1/C2シフトモードにおいては、システムクロック信号Sys-CK及びテストクロック信号TCKがローレベルで、モード信号Mode及びシフト信号Shiftがハイレベルとされる(ニ)。このモードにおいては、通常クロック信号CKは外部クロック信号C1とされ、クロック信号LSSD-Aは外部クロック信号C2とされる。尚、モード信号Mode及びシフト信号Shiftがハイレベルであるため、クロック信号LSSD-Cはハイレベルに固定される。

【0050】C1/C2クロックアドバンスモードにおいては、システムクロック信号Sys-CK及びテストクロック信号TCKがローレベルで、モード信号Modeがハイレベル、シフト信号Shiftがローレベルとされる(ホ)。この場合、通常クロック信号CKは外部クロックC1とされ、クロック信号LSSD-Cは外部クロック信号C2がインバータ64で反転されたものとされる。尚、クロック信号LSSD-Aはローレベルに

固定される。

【0051】図7(a)には第2生成回路602の構成例が示される。

【0052】フリップフロップ71、72が結合されることにより、PLLスキャン信号PLL-scanをテストクロック信号TCKで同期化するための同期化回路が形成される。フリップフロップ72の非反転出力信号はアンドゲート80の一方の入力端子に伝達される。フリップフロップ72の反転出力信号は、カウンタ73のカウント開始を指示する信号として当該カウンタ73に伝達される。このカウンタ73の出力信号Countは、比較器74~76の一方の入力端子Aに入力される。

【0053】上記比較器74、75、76の他方の入力端子には、BISTにおけるクロックアドバンスのために予め設定された設定値X、Y、Zが入力される。ここで、設定値Xはスキャン終了を示す値、設定値Yはスキャンアウト開始を示す値、設定値Zはスキャンアウト終了を示す値とされ、それぞれ複数ビットで構成される。比較器74の出力信号は、カウンタ73のカウント出力値が設定値Xに達した時点でハイレベルにアサートされ、比較器75の出力信号は、カウンタ73のカウント出力値が設定値Yに達した時点でハイレベルにアサートされ、比較器76の出力信号は、カウンタ73のカウント出力値が設定値Zに達した時点でハイレベルにアサートされる。比較器74~76の出力信号は、それぞれ後段のインバータ77~79を介して対応するアンドゲート80~82の一方の入力端子に伝達される。アンドゲート80では、インバータ77の出力信号とカウンタ73とのアンド論理が得られ、アンドゲート81ではインバータ78の出力信号とカウンタ73とのアンド論理が得られ、アンドゲート82ではインバータ79の出力信号とカウンタ73とのアンド論理が得られる。オアゲート83により、アンドゲート80の出力信号とアンドゲート82の出力信号とのオア論理が求められ、その結果が後段のフリップフロップ85に伝達される。また、アンドゲート81の出力信号はフリップフロップ90に伝達される。フリップフロップ85の出力信号は、アンドゲート87の一方の入力端子に伝達されるとともに、後段のフリップフロップ86に伝達される。フリップフロップ86の出力信号とエッジ検出回路84の出力信号(CK2)とのアンド論理が得られ、この結果がクロック信号LSSD-Aとされる。そして、フリップフロップ85の出力信号と、エッジ検出回路84の出力とのアンド論理を求めるアンドゲート87が設けられ、このアンドゲート87の出力信号が、後段のオアゲート89を介することにより、クロック信号LSSD-Bとして出力される。上記フリップフロップ90の出力信号は後段のフリップフロップ91を介してパルス発生回路92へ伝達される。ここで、フリップフロップ90、91は

テストクロック信号TCKに同期動作される。

【0054】クロックアドバンスのためにテストクロック信号TCKに同期してそれよりも周波数が高いクロック信号を発生するためのPLL（フェーズ・ロックド・ループ）93が設けられる。このPLL93の出力信号の上記パルス発生回路92のクロック入力端子に入力される。このクロック発生器92の一方の出力信号（CK1）は後段のノアゲート89を介して外部主出力また、ロック発生器92の他方の出力信号（CK2）後段のアンドゲートによりアンド論理が得られ、その出力結果がクロック信号LSSD-Dとして後段回路に出力信号される。

【0055】図7（b）には同図（a）に示される第2生成回路602の動作状態が示される。

【0056】動作テストモードにおいては、テストクロック信号TCK及びPLLスキャン信号がローレベルとされる（イ）。この場合、通常クロック信号CKはシステムクロック信号Sys-CKとされる。また、クロック信号LSSD-A、LSSD-Cはローレベルに固定される。

【0057】スキャンモードにおいては、システムクロック信号Sys-CKがローレベル、PLLスキャン信号PLL-scanがハイレベルとされる（ハ）。この場合、通常クロック信号CKは、エッジ検出回路84の出力信号に基づいて形成されることにより、テストクロック信号TCKの立ち上がりエッジ同期する信号とされる。また、クロック信号LSSD-Aはエッジ検出回路84の出力信号に基づいて形成されることによりテストクロック信号TCKの立ち下がりエッジに同期する信号とされる。尚、クロック信号LSSD-Cは、ハイレベルに固定される。

【0058】クロックアドバンスモードにおいては、システムクロック信号Sys-CKがローレベル、PLLスキャン信号PLL-scanがハイレベルとされる（ハ）。この場合、通常クロック信号やクロック信号LSSDは、PLL93の出力信号に基づいて形成される。尚、クロック信号LSSD-Aはローレベルに固定される。

【0059】図9（a）には上記エッジ検出回路61の構成例が示され、図9（b）にはその動作タイミングが示される。

【0060】通常クロック信号CKを遅延させるための遅延回路611と、この遅延回路611の出力信号と上記通常クロック信号CKとのアンド論理を求めるためのアンドゲート612と、この遅延回路611の出力信号と上記通常クロック信号CKとのノア論理を求めるためのノアゲート613とを含んで成る。上記アンドゲート612から、通常クロック信号CKの立ち上がりエッジに同期したクロック信号CK1が得られ、ノアゲート613から、クロック信号CKの立ち下がりエッジに同期

したクロック信号CK2が得られる。

【0061】尚、上記エッジ検出回路84は、上記エッジ検出回路61と同一構成とされる。

【0062】図10（a）には上記パルス生成回路92の構成例が示され、図10（b）にはその動作タイミングが示される。

【0063】フリップフロップ101、102、103、104がシリーズ接続される。フリップフロップ103の出力信号とフリップフロップ104の出力信号とのアンド論理を得るアンドゲート105が設けられ、このアンドゲート105の出力信号が後段のフリップフロップ106に伝達される。そしてこのフリップフロップ106の出力信号と通常クロック信号CKとのアンド論理を得るアンドゲート108、通常クロック信号CKを反転させるためのインバータ109、及びこのインバータ109の出力信号と上記フリップフロップ107の出力信号とのナンド論理を得るためのナンドゲート110が設けられる。上記アンドゲート108からクロック信号CK1、及びその反転信号／CK2が得られる。

【0064】図11には上記比較回路74の構成例が示される。

【0065】図11に示されるように、上記比較回路74は、 $i+1$ 個の判定部741-0～741- i が結合されて成る。第1入力端子A0、A1、…Aiには、カウンタ73からの複数ビット構成の信号が入力され、2入力端子B0、B1、…Biには、複数ビット構成の設定値Xが入力される。 $i+1$ 個の判定部741-0～741- i は互いに同一構成とされるので、ここでは0番目の判定部741-0の構成例について詳細に説明する。

【0066】ビットA0とビットB0とのエクスクルージブオア論理を得るためのエクスクルージブオアゲート111、このエクスクルージブオアゲート111の出力信号とビットA0とのアンド論理を得るためのアンドゲート113、上記エクスクルージブオアゲート111の出力信号を反転するためのインバータ112、このインバータ112の出力信号と判定タイミング信号とのアンド論理を得るためのアンドゲート114、アンドゲート113、114のオア論理を得るためのオアゲート115が設けられる。このオアゲート115の出力信号は隣接する判定部におけるアンドゲート114に伝達される。 i 番目の判定回路741- i におけるオアゲート115から1ビットの比較結果が得られる。尚、アドレスA0に対応する判定部741-0におけるアンドゲート114の一方の入力端子は高電位側電源Vdd（ハイレベル）に固定される。

【0067】図8には上記クロック生成回路6の詳細な動作タイミングが示される。

【0068】図8において、a～gは図7における主要部の動作タイミングを示している。

【0069】ここで、注目すべきはスキャンイン直後におけるテストクロック信号TCKの1サイクルの間である。この期間の主要タイミングについて拡大して示されるように、PLL93によって生成されるクロック信号CKVは、テストクロック信号TCKよりも周波数が高く、そのようなクロック信号CKVに基づいてクロックアドバンス（ACテスト）が行われる。換言すれば、ACテストは、論理ブロック1の実際の動作周波数に等しい周波数で行うことができるので、ディレイ不良の検出をBISTで発見することができ、また、スキャンインやスキャンアウトについては、PLL93によって生成されるクロック信号CKVよりも周波数の低いテストクロック信号TCKに基づいて回路が動作される。従って、スキャンパスまでを実動作周波数で動作可能に設計する場合に比べて、配線幅の増大や配線本数の増加、トランジスタ数の増加などを招くおそれがなく、製品のコスト上昇を抑えることができる。

【0070】図12（a）には上記カウンタ73の構成例が示される。

【0071】ラッチ回路732-1～732-i、排他的論理和ゲート731-0～731-i、アンドゲート733-0～733-2、…が設けられる。

【0072】ラッチ回路732-0の出力信号A0と高電位側電源V_dレベルとの排他的論理和が排他的論理和ゲート731-0により求められ、その出力信号がラッチ回路731-0の入力端子に供給される。桁上げのため、ラッチ回路732-0の出力信号A0と高電位側電源V_dとのアンド論理がアンドゲート733-0によって得られる。

【0073】ラッチ回路732-1の出力信号A1とアンドゲート733-0の出力信号12aとの排他的論理和が排他的論理和ゲート733-1により求められ、その出力信号がラッチ回路732-1の入力端子に供給される。桁上げのため、ラッチ回路732-1の出力信号A1とアンドゲート733-0の出力信号12aとのアンド論理がアンドゲート733-1によって得られる。

【0074】ラッチ回路732-2の出力信号A2とアンドゲート733-1の出力信号12bとの排他的論理和が排他的論理和ゲート733-2により求められ、その出力信号がラッチ回路732-2の入力端子に供給される。桁上げのため、ラッチ回路732-2の出力信号A2とアンドゲート733-1の出力信号12bとのアンド論理がアンドゲート733-2によって得られる。

【0075】同様に、ラッチ回路732-iの出力信号A_iと前段のアンドゲートの排他的論理和が排他的論理和ゲート731-iにより求められ、その出力信号がラッチ回路732-iの入力端子に供給される。

【0076】また、上記ラッチ回路731-0～731-iのリセット端子Rには、スタート信号/startが入力されるように成っている。そして、上記ラッチ回

路731-0～731-iは、通常クロック信号CKに同期して動作される。

【0077】図12（b）には上記カウンタ73の動作タイミングが示される。

【0078】スタート信号/startがローレベルにアサートされた後の期間において通常クロック信号CKが入力される毎にカウントされ（フリップフロップ72の出力）、それによりカウンタ出力A0～A_iが得られる。

【0079】上記した例によれば、以下の作用効果を得ることができる。

【0080】（1）PLL93によって生成されるクロック信号CKVは、テストクロック信号TCKよりも周波数が高く、そのようなクロック信号CKVに基づいてクロックアドバンス（ACテスト）が行われる。このようにACテストは、論理ブロック1の実際の動作周波数に等しい周波数で行うことができるので、ディレイ不良の検出をBISTで発見することができ、また、スキャンインやスキャンアウトについては、PLL93によって生成されるクロック信号CKVよりも周波数の低いテストクロック信号TCKに基づいて回路が動作される。このため、スキャンパスまでを実動作周波数で動作可能に設計する場合に比べて、配線幅の増大や配線本数の増加、トランジスタ数の増加などを招くおそれなく、製品のコスト上昇を抑えることができる。

【0081】（2）半導体集積回路の内部で生成されるテストクロック信号のエッジ検出を行うためのエッジ検出回路61と、このエッジ検出回路の出力信号と半導体集積回路の外部から与えられた外部クロック信号C1、C2との論理和を得るための論理和ゲート62、63とを含んで第1生成回路60-1が構成され、上記論理和ゲート62、63の出力信号に基づいて第1生成回路60-1における診断クロック信号が生成されるようになっていたため、DRAM100の外部から上記外部クロック信号C1、C2を与えることにより、上記スキャンパスを介して行われるスキャン動作を上記外部クロック信号C1、C2によって制御することができる。

【0082】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0083】例えば、図10においてスキャン動作の開始及び終了並びにクロックアドバンス動作の開始タイミングを与えるためのカウンタや、それに入力されるパラメータX、Y、Zに代えて、一つの外部入力信号RT_TESTを採用することができる。その場合の動作タイミングが図13に示される。外部入力信号RT_TESTがハイレベルにアサートされた期間において、クロックアドバンスが行われる。また、外部入力信号RT_TESTがローレベルにネゲートされた状態において、

スキャンイン及びスキャンアウトが行われる。

【0084】図14(a)には、高速動作する回路部分と、低速動作する回路部分とが半導体チップに含まれる場合の構成例が示される。

【0085】スローパス(Slow Path)や、ノーマルパス(Normal Path)が混在する場合には、図14(a)に示される構成を採用するのが良い。

【0086】フリップフロップとしては、図14(b)に示されるものが使用される。すなわち、フリップフロップ本来の機能論理441に、DQS端子の論理レベルに応じてデータの取り込みを制御するためのアンドゲート442が結合される。DSQ端子がハイレベルの場合にデータ端子Dに伝達されたデータがアンドゲート442を介してフリップフロップ本来の機能論理441に伝達される。しかしながら、DQS端子がローレベルの場合には、データ端子Dに伝達されたデータはフリップフロップ本来の機能論理441には伝達されない。つまり、データの取り込みが行われない。

【0087】図14(a)においては、前段及び後段のパスの状態によってフリップフロップのタイプが決定される。

【0088】前段がスローパスであることが明確な場合には、そのようなスローパスでのクロックアドバンスが行われないように、DQS端子がローレベルに固定されることで、フリップフロップ本来の機能論理441へのデータ取り込みが阻止される。図14(c)におけるタイプC、Dがそれに相当する。図14(a)においては、フリップフロップ453、454、457、458、461、462、468として、タイプC又はDが適用される。

【0089】尚、前段がスローパスであることが明確な場合でも、スキャンイン端子SIを介して他のパスについてのデータスキャンは行われる。

【0090】前段が確実にスローパスで無い場合には、図14(c)におけるタイプA又はBが適用される。タイプA又はBでは、DQS端子がハイレベルに固定されることによってデータ端子Dからのデータ取り込みが可能とされる。

【0091】また、半導体集積回路によっては、個々の論理ブロック毎のスキャンパス毎に、擬似乱数発生回路3、データ圧縮器5、クロック生成回路6を設けるようにしても良い。

【0092】さらに、複数のコア・セルを組み合わせると一つのLSIが設計される場合があるが、かかる場合においても本発明を適用することができる。その場合において、擬似乱数発生回路3、データ圧縮器5、及びクロック生成回路6は、複数のコア・セル間で共有するようにしても良いし、個々のコア・セル毎に専用回路を設けるようにしても良い。

【0093】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【0094】本発明は、少なくとも論理ブロックを含むことを条件に適用することができる。

【0095】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0096】すなわち、スキャンパスを介して行われるスキャン動作を、診断ブロックの実使用速度よりも遅い速度で行うためのクロック信号を生成する第1生成回路と、論理ブロックへの擬似乱数の供給及び論理ブロックからの出力信号の収集を上記論理ブロックの実使用速度にほぼ等しい速度で行うためのクロック信号を生成する第2生成回路とを含んで自己診断回路を構成することにより、スキャンパスでの信号遅延を抑えるために信号配線幅を広くして配線抵抗の低減を図ったり、スキャンパスの経路中にアンプを設けることなく、論理ブロックのディレイ不良の検出が可能とされる。

【0097】また、半導体集積回路の内部で生成されるテストクロック信号のエッジ検出を行うためのエッジ検出回路と、このエッジ検出回路の出力信号と半導体集積回路の外部から与えられた外部クロック信号との論理和を得るための論理和ゲートとを含んで第1生成回路が構成され、上記論理和ゲートの出力信号に基づいて第1生成回路における診断クロック信号が生成されるため、半導体集積回路の外部から上記外部クロック信号を与えることにより、上記スキャンパスを介して行われるスキャン動作を半導体集積回路の外部から制御することができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路の一例である論理LSIにおける自己診断回路の主要構成例ブロック図である。

【図2】上記自己診断回路で使用されるフリップフロップの構成例ブロック図及びその動作説明図である。

【図3】上記自己診断回路における主要動作タイミング図である。

【図4】上記論理LSIの通常動作におけるクロック信号の動作タイミング図である。

【図5】上記自己診断回路に含まれるクロック生成回路の構成例回路図及びその動作説明図である。

【図6】上記クロック生成回路に含まれる第1生成回路の構成例回路図及びその動作説明図である。

【図7】上記クロック生成回路に含まれる第2生成回路の構成例回路図及びその動作説明図である。

【図8】上記クロック生成回路の詳細な動作タイミング

図である。

【図 9】上記クロック生成回路に含まれるエッジ検出回路の構成例回路図及びその動作タイミング図である。

【図 10】上記クロック生成回路に含まれるパルス生成回路の構成例回路図及びその動作タイミング図である。

【図 11】上記クロック生成回路に含まれる比較回路の構成例回路図である。

【図 12】上記クロック生成回路に含まれるカウンタの構成例回路図及びその動作タイミング図である。

【図 13】上記クロック生成回路に含まれるパルス生成回路の別の構成例における動作タイミング図である。

【図 14】上記自己診断回路の別の構成例ブロック図及びそれに含まれるフリップフロップの構成例回路図並びに上記フリップフロップのタイプの違いとその適用条件説明図である。

【図 15】上記論理 L S I の全体的な構成例ブロック図である。

【符号の説明】

1 論理ブロック

2-1~2-5 フリップフロップ

3 擬似乱数発生器

5 データ圧縮器

6 クロック生成回路

61 エッジ検出回路

61, 62 オアゲート

100 論理 L S I

153 入力回路

154 出力データ論理ブロック

155 出力回路

156 メモリマツト

158~161 フリップフロップ群

601 第 1 生成回路

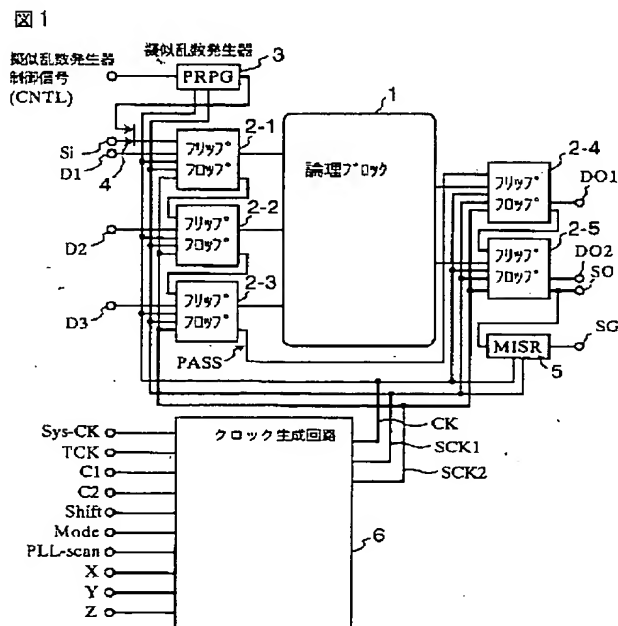
602 第 2 生成回路

603~605 インバータ

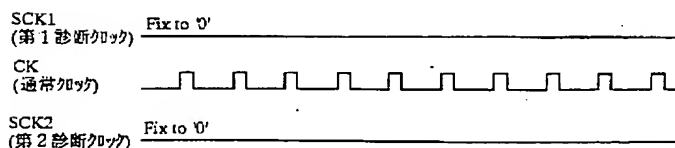
606~608 アンドゲート

609~612 オアゲート

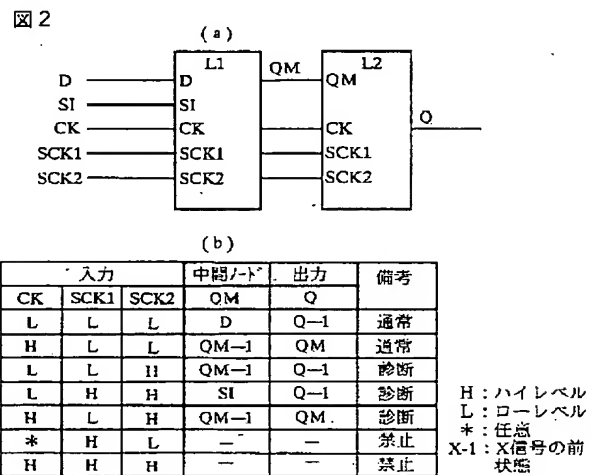
【図 1】



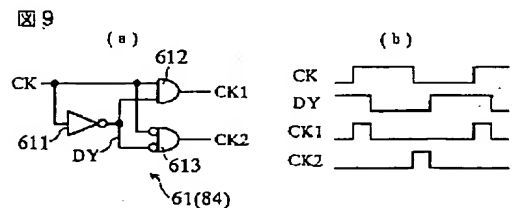
【図 4】



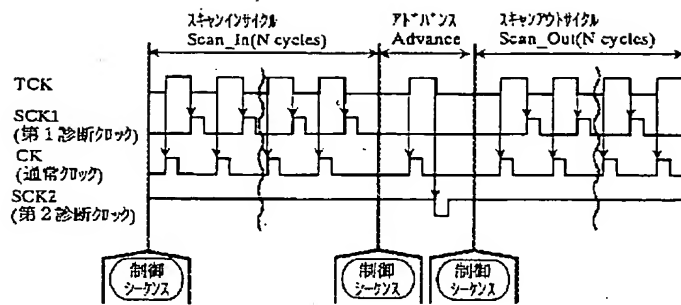
【図 2】



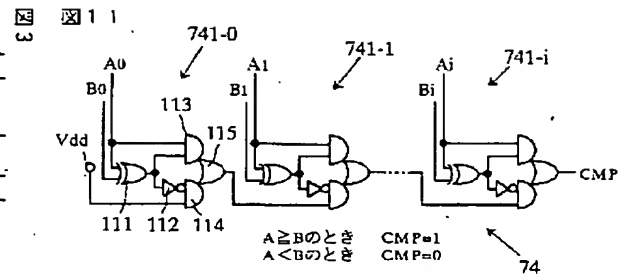
【図 9】



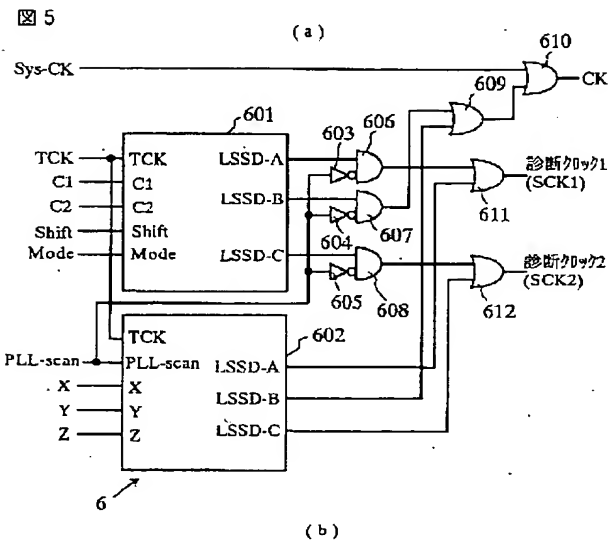
【図 3】



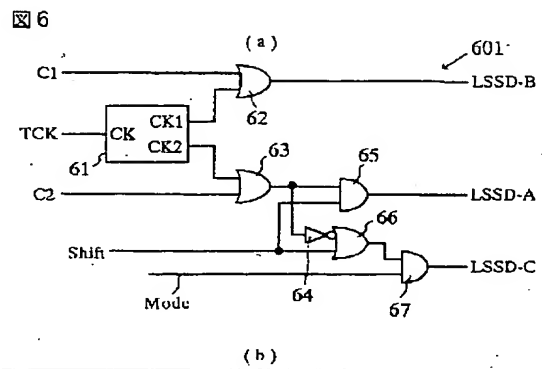
【図 11】



【図 5】



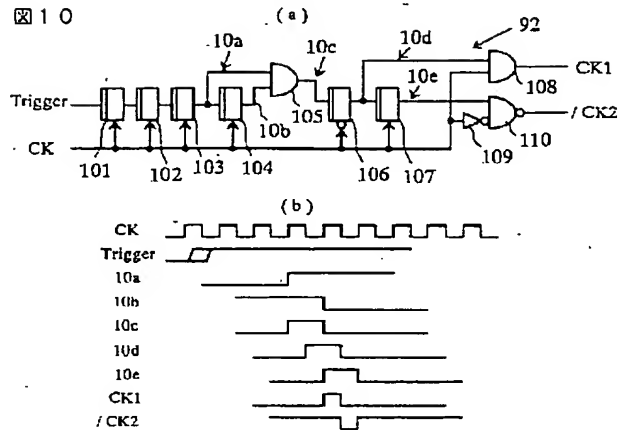
【図 6】



イ) 通常動作	<div> <div>TCK, C1, C2 = 0</div> <div>Mode = 0</div> <div>Shift don't care</div> </div> <div> <div>CK = Sys-CK</div> <div>LSSD-A = 0</div> <div>LSSD-C = 0</div> </div>
ロ) TCKシフト	<div> <div>Sys-CK, C1, C2 = 0</div> <div>Mode = 1</div> <div>Shift = 1</div> </div> <div> <div>CK = TCK</div> <div>LSSD-A = 0</div> <div>LSSD-C = 0</div> </div>
ハ) TCKクロックアドバンス	<div> <div>Sys-CK, C1, C2 = 0</div> <div>Mode = 1</div> <div>Shift = 0</div> </div> <div> <div>CK = TCK</div> <div>LSSD-A = 0</div> <div>LSSD-C = /TCK</div> </div>
ニ) C1/C2シフト	<div> <div>Sys-CK, TCK = 0</div> <div>Mode = 1</div> <div>Shift = 1</div> </div> <div> <div>CK = C1</div> <div>LSSD-A = C2</div> <div>LSSD-C = 1</div> </div>
ホ) C1/C2クロックアドバンス	<div> <div>Sys-CK, TCK = 0</div> <div>Mode = 1</div> <div>Shift = 0</div> </div> <div> <div>CK = C1</div> <div>LSSD-A = 0</div> <div>LSSD-C = /C2</div> </div>

【図 10】

10



- イ) 通常動作

TCK = 0

PLL-scan = 0

CK = Sys-CK

LSSD-A = 0

LSSD-C = 0

ロ) スキャン

Sys-CK = 0

PLL-scan = 1

CK = TCK

LSSD-A = TCK

LSSD-C = 1

ハ) クロックアドバンス…ACテスト (10°以内のみ)

Sys-CK = 0

PLL-scan = 0

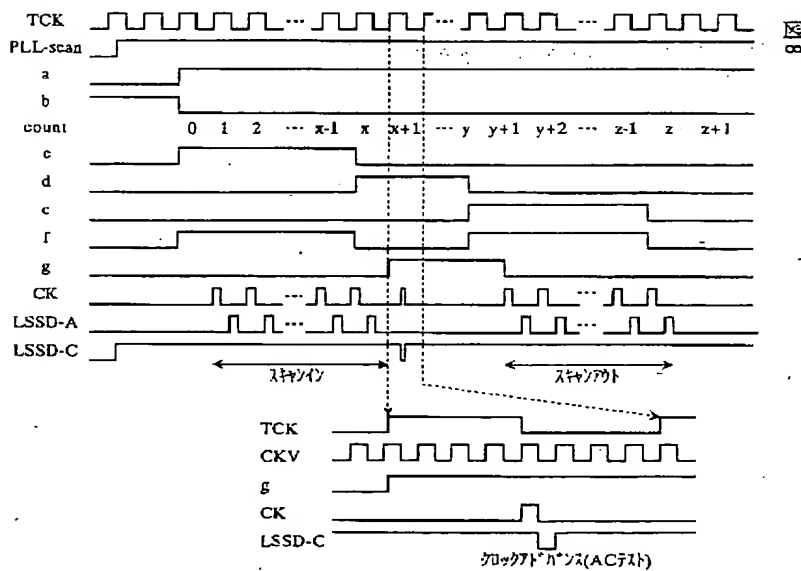
CK = PLL出力

LSSD-A = 0

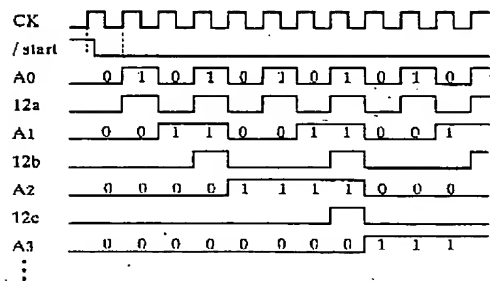
LSSD-C = PLL出力

PLL出力

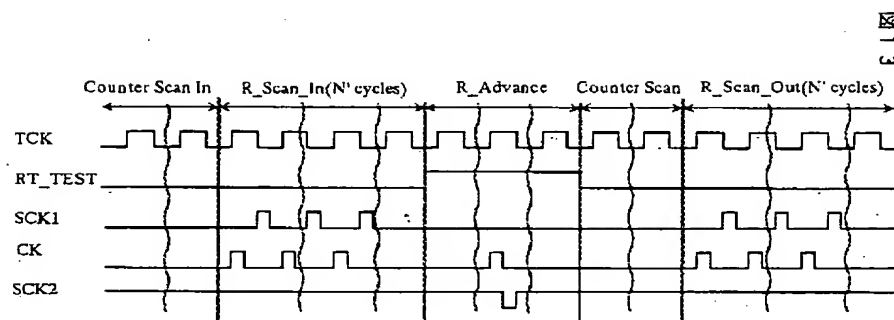
【图 8】



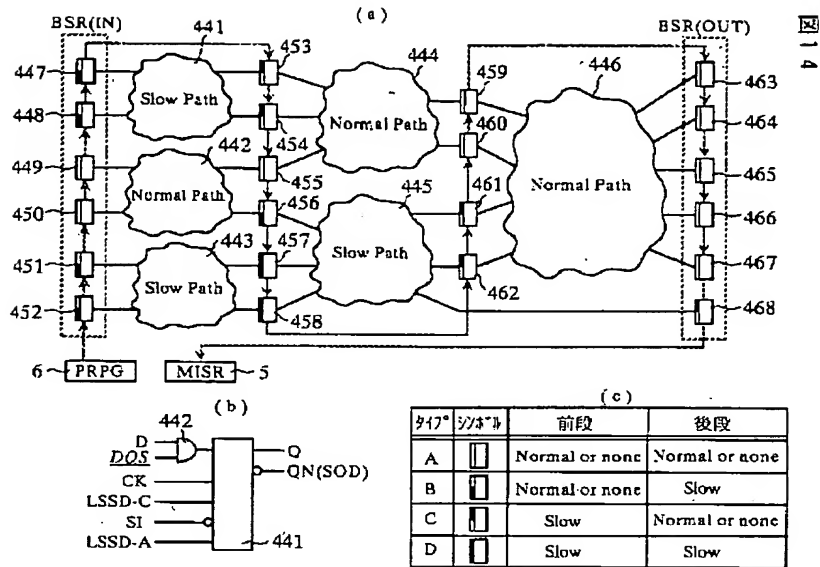
1 2



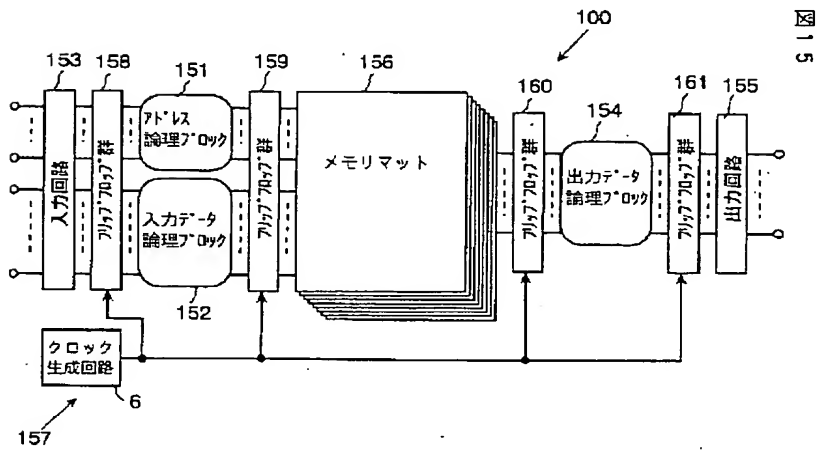
【图 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 栗田 公三郎
 東京都青梅市新町六丁目16番地の3 株
 会社日立製作所デバイス開発センタ内

Fターム(参考) 2G032 AA01 AA07 AC10 AD06 AE08
 AG03 AG07 AK11 AK16 AK19
 5B048 AA20 CC02 CC11 CC18 DD06
 DD07